

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

007597936

WPI Acc No: 1988-231868/198833

**Substrate for mounting chip on glass - has transparent electrodes having  
given circuit pattern on glass substrate and nickel-phosphorus layer**

**NoAbstract Dwg 0/3**

Patent Assignee: STANLEY ELECTRIC CO LTD (SNLE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63165896	A	19880709	JP 86310678	A	19861227	198833 B

Priority Applications (No Type Date): JP 86310678 A 19861227

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 63165896	A		6		

Title Terms: SUBSTRATE; MOUNT; CHIP; GLASS; TRANSPARENT; ELECTRODE;  
CIRCUIT

; PATTERN; GLASS; SUBSTRATE; NICKEL; PHOSPHORUS; LAYER; NOABSTRACT

Derwent Class: L03; P85; U14

International Patent Class (Additional): G09F-009/30; H01L-023/14

File Segment: CPI; EPI; EngPI

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-165896

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)7月9日

G 09 F 9/30  
H 01 L 23/14

3 3 7

6866-5C  
C-7738-5F

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 チップオンガラス実装用基板

⑮ 特 願 昭61-310678

⑯ 出 願 昭61(1986)12月27日

⑰ 発 明 者 秋 山 亮 一 神奈川県川崎市高津区末長19-1 梶ヶ谷荘206

⑰ 発 明 者 宇 井 和 久 東京都世田谷区中町3-12-12

⑰ 発 明 者 大 張 嘉 一 神奈川県横浜市緑区荏田南2-17-8 志村マンション  
301⑰ 発 明 者 米 田 公 太 郎 神奈川県横浜市緑区荏田南2-17-8 志村マンション  
301⑰ 出 願 人 スタンレー電気株式会 東京都目黒区中目黒2丁目9番13号  
社

⑰ 代 理 人 弁理士 平山 一幸 外1名

## 明 細 書

## 1. 発明の名称

チップオンガラス実装用基板

## 2. 特許請求の範囲

ガラス基板上に所定の回路パターンを有するITO膜等による透明電極を形成し、さらに該透明電極上にボンディングメタル、引き出し電極等のパターンを有するM1-P層を無電解メッキにより施し、該M1-P層のうち上下に対向する基板が重なり合う部分をフォトリソエッチング、またはリフトオフにより除去することにより構成されており、ICチップを実装する場合には、Alワイヤによりウェッジボンディングするようにしたことを特徴とする、チップオンガラス実装用基板。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ガラス基板上に所定の回路パターンを形成してこのガラス基板上にICチップを実装し得るようにしたチップオンガラス実装用基板に関するものである。

## (従来の技術及び問題点)

従来、このようなチップオンガラス実装用基板は、例えば先ずガラス基板上に所定の回路パターンを有するITO(酸化インジウム)膜等による透明電極を形成し、次にその上から所定のボンディングメタル、引き出し電極等のパターンを有するクロム(Cr)、アルミニウム(Al)等の金属膜を順次積層して、ガラス基板上に所定の回路パターンを形成することにより構成されている。そして、このように構成されたチップオンガラス実装用基板に、ICチップをダイボンディング等により取り付け、さらにAlワイヤやAuワイヤなどによりワイヤボンディングして、ICチップのチップオンガラス実装を実現するようにしている。

しかしながら、このようなチップオンガラス実装用基板は、金属膜を形成する際、例えばスパッタリング法、EB(電子ビーム)リソグラフィ法、真空蒸着法等のいわゆる乾式法にて金属膜を形成しているので、生産コストが高くなると共に生産性にも劣り、また回路パターンの形成の際にフ

## 特開昭63-165896(2)

トリソグラフィ法を採用しているため、このフォトリソグラフィ工程が多く、これによってもコストが高くなってしまふ等の欠点がある。

## (発明の目的)

本発明は、以上の点に鑑み、低コストで製造が可能であるチップオンガラス実装用基板を提供することを目的としている。

## (問題点を解決するための手段及び作用)

上記目的は、本発明によれば、ガラス基板上に所定の回路パターンを有するITO膜等による透明電極を成膜し、さらに該透明電極上にボンディングメタル、引き出し電極等のパターンを有するR1-P層を無電解メッキにより施し、該R1-P層のうち上下に対向する基板が重なり合う部分をフォトリソエッチング、またはリフトオフにより除去することにより構成されていて、ICチップを実装する場合には、Alワイヤによりウエッジボンディングするようにしたチップオンガラス実装用基板によって達成される。

・この発明によれば、ITO膜等による透明電極

上に、ボンディングメタル、引き出し電極等のパターンが無電解R1-Pメッキにより形成されるので、従来のフォトリソグラフィによる方法に比較して、より低コストでしかも生産性良く製造することができ、また透明電極のパターンとその上に形成されるR1-P層とのずれ公差が全くなく、さらにR1-P層の膜厚が例えば0.5 $\mu$ m程度と比較的薄い場合にもボンディングが可能であり、従って例えば液晶セルを作製する際にセル作製工程においてギャップ制御が容易になり、一方ICチップを実装する場合にはAlワイヤによりウエッジボンディングするようにしているので、R1-P層とAlワイヤとの組み合わせのために接触部分において接触電位による密着破壊が発生しにくくなる。

## (実施例)

・以下、図面に示した実施例に基づいて本発明を説明する。

・第1図は本発明によるチップオンガラス実装用基板の一実施例の各製造工程を順次示しており、先ず第1図(A)に示すように、ガラス基板1上

にITO膜による透明電極2を成膜し、第1図(B)に示すように該透明電極2を適宜な方法により所定の回路パターンにパターンニングし、続いて透明電極2のパターン上に重ねて第1図(C)に示すように無電解メッキによりR1-P層3を施す。

・次に、透明電極2及びR1-P層3の上からフォトレジスト4を塗布する。このフォトレジスト4としては、例えば東京応化工業株式会社製のOPPR-800が用いられる。そしてこのフォトレジスト4を露光現像することにより第1図(D)に示すように、例えば上下に対向する基板が重なり合う部分Rを除いたR1-P層3の必要な部分にのみフォトレジスト4を残す。ここで、エッチングによりR1-P層3のフォトレジスト4で覆われていない部分Rを除去する。かかるエッチングは、例えば、リン酸100に対して硝酸5、硫酸5、硝酸50の割合で調合されたエッチング液に、60℃で約5分間浸漬することにより行う。

・最後に、フォトレジスト4を取り除いて、第1

図(E)に示すようにチップオンガラス実装用基板5が完成する。即ち、この場合R1-P層3の除去は、いわゆるフォトリソエッチングにより行われることになる。

・本発明によるチップオンガラス実装用基板は以上のように構成されており、ICチップを実装する場合には、第2図に示すように、R1-P層3上の所定位置にICチップ6をダイボンディングし例えばAlワイヤ7をウエッジボンディングすることにより、ICチップ6がチップオンガラス実装用基板5上に実装される。

・第3図は、第1図に示した製造工程の変形例を示している。この例の場合、第1図(B)に示すように透明電極2が所定の回路パターンにパターンニングされたガラス基板1に、透明電極2の上からフォトレジスト4を塗布し、このフォトレジスト4を露光、現像することにより、第3図(A)に示すように、例えば上下に対向する基板が重なり合う部分Rのみにフォトレジスト4を残す。次に、この上から、透明電極2のパターン上に重ね

## 特開昭63-165896(3)

て第3図(B)に示すように無電解メッキによりN1-P層3を施す。ここで、透明電極2上に残っているフォトリソレジスト4を、その上にメッキされたN1-P層3と共に除去し、かくして第1図(B)に示すようにチップオンガラス実験用基板5が完成する。即ち、この場合N1-P層3の除去は、いわゆるリフトオフにより行われることになる。

## (発明の効果)

以上述べたように、本発明によれば、ガラス基板上に所定の回路パターンを有するITO膜等による透明電極を成膜し、さらに該透明電極上にボンディングメタル、引き出し電極等のパターンを有するN1-P層を無電解メッキにより施し、該N1-P層のうち上下に対向する基板が重なり合う部分をフォトリソエッチングまたはリフトオフにより除去することにより構成されていて、ICチップを実装する場合には、Alワイヤによりウェッジボンディングするようにして、チップオンガラス実験用基板を構成したから、ITO膜等による透明電極上に、ボンディングメタル、引き出し電極

等のパターンが無電解N1-Pメッキにより形成されるので、従来のフォトリソグラフィによる方法に比較して、より低コストでしかも生産性良く製造されることが出来る。

また透明電極のパターンとその上に形成されるN1-P層とのずれ公差が全くなく、さらにN1-P層の膜厚が例えば0.5 $\mu$ m程度と比較的薄い場合にもボンディングが可能であり、従って例えば液晶セルを作製する際にセル作製工程においてギャップ制御が容易になり、一方、ICチップを実装する場合にはAlワイヤによりウェッジボンディングするようになっているので、N1-P層とAlワイヤとの組み合わせのために接触部分において接触電位による密着破壊が発生しにくくなる。

かくして本発明によれば、低コストで且つ生産性の良いチップオンガラス実験用基板が得られ、例えば液晶表示パネル等の製造のために極めて有利なチップオンガラス実験を実現することが可能となる。

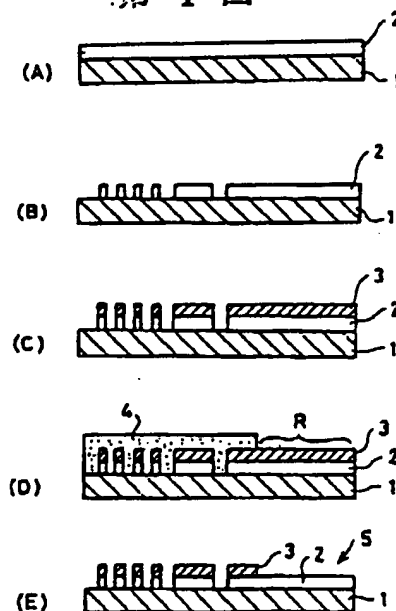
## 4. 図面の簡単な説明

第1図(A)～(E)は本発明によるチップオンガラス実験用基板の一実施例の各製造工程を順次示す概略断面図、第2図は第1図のチップオンガラス実験用基板を使用してICチップを実装した状態を示す概略断面図、第3図(A)、(B)は第1図の製造工程の変形例を示す概略断面図である。

1……ガラス基板； 2……透明電極； 3……N1-P層；  
4……フォトリソレジスト； 5……チップオンガラス実験用基板； 6……ICチップ； 7……Alワイヤ。

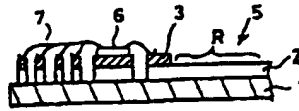
特許出願人：スタンレー電気株式会社  
代理人：弁理士 平山 一 幸  
同 弁理士 湯 雄 保 三

第1図

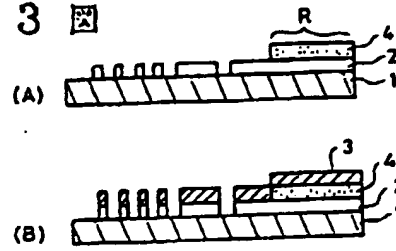


特開昭 63-165896 (4)

第 2 図



第 3 図



(19) Japanese Patent Office (JP)

(12) Japanese Patent Laid-Open (A)

(11) Japanese Patent Application Laid-Open

No. 63-165896/1988

5 (43) Laid-Open Date: Showa 63-07-09 (July 9, 1988)

(51)Int.Cl. <sup>4</sup>	Identification Code	Office Reference Number
--------------------------	---------------------	-------------------------

G 09 F 9/30	337	6866-5C
-------------	-----	---------

H 01 L 23/14		C-7738-5F
--------------	--	-----------

Request for Examination: Made

10 Number of Inventions: 1 (All 4 pages)

(54) Title of the Invention

Chip on Glass Mounting Substrate

(21) Application No. 61-310678/1986

(22) Filing Date: Showa 61-12-27 (December 27, 1986)

15 (72) Inventor: Ryoichi AKIYAMA

Kajigaya-sou 206, Suenaga 19-1, Takatsu-ku, Kawasaki-shi, Kanagawa

(72) Inventor: Kazuhisa UI

Nakamachi 3-12-12, Setagaya-ku, Tokyo

(72) Inventor: Yoshikazu OOHARI

20 Shimura Mansion 301, Edaminami 2-17-8, Midori-ku, Yokohama-shi, Kanagawa

(72) Inventor: Kotaro YONEDA

Shimura Mansion 301, Edaminami 2-17-8, Midori-ku, Yokohama-shi, Kanagawa

(71) Applicant: Stanley Electric Co., Ltd.

2-9-13 Nakameguro, Meguro-ku, Tokyo

(74) Agent: Patent Attorney, Kazuyuki HIRAYAMA and 1 other

## SPECIFICATION

### 1. Title of the Invention

5           Chip on Glass Mounting Substrate

### 2. Scope of Claim for Patent

          A chip on glass mounting substrate characterized in that a transparent electrode is formed by an ITO film or the like having a predetermined circuit pattern over a glass substrate; an Ni-P layer having a pattern such as a bonding metal or a drawing electrode  
10   is formed by electroless plating over the transparent electrode; a portion of the Ni-P layer interposed between a pair of top and bottom substrates opposing to each other is removed by photolitho-etching or lift-off technology; and wedge bonding of an Al wire is carried out in case of mounting an IC chip.

### 3. Detailed Description of the Invention

#### 15   [Industrial Field of Application]

          The present invention relates to a chip on glass mounting substrate that is obtained by forming a desired circuit pattern over a glass substrate to enable the glass substrate to be mounted with an IC chip.

#### [Prior Art and Problem that the Invention is to Solve]

20           Conventionally, such the a chip on glass mounting substrate was obtained in accordance with the following procedure, that is, a transparent electrode is firstly formed by an ITO (indium oxide) film or the like having a predetermined circuit pattern over a glass substrate; and metallic films such as chromium (Cr) or aluminum (Al) having a predetermined pattern of a bonding metal, a drawing electrode, or the like are

sequentially stacked thereover; then, a desired circuit pattern is formed over the glass substrate. And then, an IC chip is mounted to the thus obtained chip on glass mounting substrate by die bonding or the like. Moreover, an Al wire, Au wire, or the like is wire bonded to the substrate to realize a chip on glass mounting of an IC chip.

5           However, such a chip on glass mounting substrate has problems that the production cost is increased and the productivity is reduced since a metallic film is formed by a so-called dry method such as sputtering, EB (electron beam) lithography, vacuum vapor deposition; and the cost is also increased since a circuit pattern is formed by a number of times of photolithography.

#### 10   [Object of the Present Invention]

In view of the foregoing, it is an object of the present invention to provide a chip on glass mounting substrate capable of being manufactured at a low cost.

#### [Means and Operation for Solving the Problem]

15           According to the present invention, the above mentioned object can be attained by a chip on glass mounting substrate characterized in that a transparent electrode is formed by an ITO film or the like having a predetermined circuit pattern over a glass substrate; an Ni-P layer having a pattern such as a bonding metal or a drawing electrode is formed by electroless plating over the transparent electrode; a portion where a pair of top and bottom substrates opposing to each other in the Ni-P layer is removed by  
20   photolitho-etching or lift-off technology; and wedge bonding by an Al wiring is carried out in case of mounting an IC chip.

According to the present invention, a chip on glass mounting substrate can be manufactured at a lower cost with better productivity by forming a pattern such as a bonding metal or a drawing electrode over a transparent electrode formed by an ITO



film or the like by electroless Ni-P plating compared to that manufactured by the conventional method using photolithography. In addition, there is absolutely no manufacturing tolerance of the pattern of the transparent electrode and the Ni-P layer formed over the transparent electrode. Further, bonding can be carried out in case that

5 the Ni-P layer has a comparative thin thickness of approximately 0.5  $\mu\text{m}$ , and so gap control can be easily carried out in a cell manufacturing process for a liquid crystal. Moreover, wedge bonding of Al wire is carried out in case of mounting an IC chip, accordingly, the generation of adhesion destruction due to contact potential at the contact portion of the combination of the Ni-P layer and the Al wire can be minimized.

10 [Embodiment]

Hereinafter, the present invention is explained based on examples illustrated in the drawings.

FIG 1 shows sequentially each manufacturing process of one example of a chip on glass mounting substrate according to the present invention. A transparent

15 electrode 2 is formed by an ITO film over a glass substrate 1 as shown in FIG 1(A). Then, the transparent electrode 2 is patterned by an appropriate method into a predetermined circuit pattern as shown in FIG 1(B). And then, an Ni-P layer 3 is formed by electroless plating over the pattern of the transparent electrode 2 as shown in FIG 1(C).

20 Next, a photoresist 4 is coated over the transparent electrode 2 and the Ni-P layer 3. As the photoresist 4, OFPR-800 produced by Tokyo Ohka Kogyo Co., Ltd. is used. By exposure and development of the photoresist 4, the photoresist 4 is left at the necessary portion of the Ni-P layer 3 except a portion R interposed between a pair of top and bottom substrates as shown in FIG 1(D). The portion R of the Ni-P layer 3 that is

not covered by the photoresist 4 is removed by etching. The portion R is etched by soaking in etching solution prepared by, for example, phosphoric acid, nitric acid, sulfuric acid, and acetic acid in the proportion of 100: 5: 5: 50, sequentially, for approximately 5 minutes at 60 °C.

5           Lastly, the photoresist 4 is removed, and a chip on glass mounting substrate 5 is completed as shown in FIG. 1(E). Therefore, the Ni-P layer 3 is removed by so-called photolitho-etching.

          A chip on glass mounting substrate according to the present invention is manufactured to have the foregoing structure. An IC chip can be mounted by die  
10   bonding of an IC chip 6 to a predetermined position over the Ni-P layer 3, and by wedge bonding of an Al wire 7 as shown in FIG. 2. Hence, the IC chip 6 can be mounted on the chip on glass mounting substrate 5.

          FIG. 3 shows a modified example of the manufacturing process shown in FIG. 1. In this example, a photoresist 4 is coated over a glass substrate 1 provided with a  
15   patterned transparent electrode 2 into a predetermined pattern, and the photoresist 4 is exposed and developed to leave the photoresist 4, for example, only at a portion of R interposed between a pair of top and bottom substrate as shown in FIG. 3(A). Then, an Ni-P layer 3 is formed over the pattern of the transparent electrode 2 by electroless plating as shown in FIG. 3(B). And then, the photoresist 4 left over the transparent  
20   electrode 2 is removed together with the Ni-P layer 3 that plates the photoresist 4, accordingly, the chip on glass substrate 5 is completed as shown in FIG. 1(E). Therefore, in this instance, the Ni-P layer 3 is removed by so-called lift off technology.

[Effect of the Invention]

As described above, according to the invention, a transparent electrode is

formed by an ITO film or the like having a predetermined circuit pattern over a glass substrate; an Ni-P layer having a pattern such as a bonding metal or a drawing electrode is formed by electroless plating over the transparent electrode; and a portion where a pair of top and bottom substrates opposing to each other in the Ni-P layer is removed by photolitho-etching or lift-off technology; then, wedge bonding of an Al wire is carried out in case of mounting an IC chip. Accordingly, a chip on glass mounting substrate can be manufactured at a lower cost with better productivity by forming a pattern such as a bonding metal or a drawing electrode over the transparent electrode formed by an ITO film or the like by electroless Ni-P plating compared to that manufactured by the conventional method using photolithography.

In addition, there is absolutely no manufacturing tolerance of the pattern of a transparent electrode and an Ni-P layer formed thereover. Further, bonding can be carried out in case that the Ni-P layer has a comparative thin thickness, for example, approximately 0.5  $\mu\text{m}$ , and so gap control can be easily carried out in a process for manufacturing a liquid crystal cell. Moreover, an IC chip is mounted by wedge bonding of an Al wire, accordingly, the generation of adhesion destruction due to contact potential at the contact portion of the combination the Ni-P layer and the Al wire can be minimized.

According to the present invention, a chip on glass mounting substrate can be obtained at a low cost with good productivity. In addition, a chip on glass mounting substrate that is extremely useful in the manufacture of a liquid crystal display panel or the like can be realized.

#### 4. Brief Description of the Drawings

FIGS. 1A to 1E are schematic cross-sectional views for showing sequentially

each manufacturing process of one example of a chip on glass mounting substrate according to the present invention, FIG. 2 is a schematic cross-sectional view for showing a state of mounting an IC chip by utilizing the chip on glass mounting substrate shown in FIG. 1, and FIGS. 3A and 3B are schematic cross-sectional views for showing  
5 a modified example of the manufacturing process shown in FIG. 1.

1...Glass substrate; 2...Transparent electrode; 3...Ni-P layer; 4...Photoresist;  
5...Chip on glass mounting substrate; 6...IC chip; and 7...Al wire.

Applicant: Stanley Electric Co., Ltd.

10 Agent: Patent Attorney, Kazuyuki HIRAYAMA,

Patent Attorney, Yasuzo KAIZU

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**